

2/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

010396236 **Image available**

WPI Acc No: 1995-297549/199539

XRPX Acc No: N95-225790

High-speed bit-timing circuit for optical subscriber system - has
poly-phase clock circuit generating two or more clocks having different
phase for receiving N-bit data

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7193562	A	19950728	JP 93331164	A	19931227	199539 B

Priority Applications (No Type Date): JP 93331164 A 19931227

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 7193562 A 6 H04L-007/00

Title Terms: HIGH; SPEED; BIT; TIME; CIRCUIT; OPTICAL; SUBSCRIBER; SYSTEM;
POLY; PHASE; CLOCK; CIRCUIT; GENERATE; TWO; MORE; CLOCK; PHASE; RECEIVE;
N; BIT; DATA

Index Terms/Additional Words: HIGH; SPEED; BIT; TIME; CIR

Derwent Class: W01

International Patent Class (Additional): H04L-007/027

File Segment: EPI

2/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

04900962 **Image available**

BIT SYNCHRONOUS CIRCUIT

PUB. NO.: 07-193562 JP 7193562 A]

PUBLISHED: July 28, 1995 (19950728)

INVENTOR(s): SHIDA YASUNARI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-331164 [JP 93331164]

FILED: December 27, 1993 (19931227)

INTL CLASS: [6] H04L-007/00; H04L-007/027

JAPIO CLASS: 44.3 (COMMUNICATION -- Telegraphy)

ABSTRACT

PURPOSE: To provide a high speed bit synchronous circuit of a burst signal
in an optical subscriber transmission system using PDS constitution.

CONSTITUTION: The bit synchronous circuit is provided with a clock
multi-phase circuit 130 inputting a reference clock, a clock selection
circuit 140 inputting a multi-phase clock 170 and data 110 and an elastic
storage 150 inputting data 110, the output of the clock selection circuit
140 and a reference clock 120. The clock selection circuit 140 is provided
with DFF141, NOR143, DFF142, AND144 inputting one clock 170 and the output
of DFF142 inputting the clock 170, and OR145 inputting the outputs of all
AND144.

F05-504
2.D.S.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-193562

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl.⁶

H04L 7/00
7/027

識別記号

A

庁内整理番号

F I

技術表示箇所

H04L 7/02

A

審査請求 有 請求項の数 2 O L (全 6 頁)

(21)出願番号

特願平5-331164

(22)出願日

平成5年(1993)12月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 志田 靖斉

東京都港区芝五丁目7番1号 日本電気株式会社内

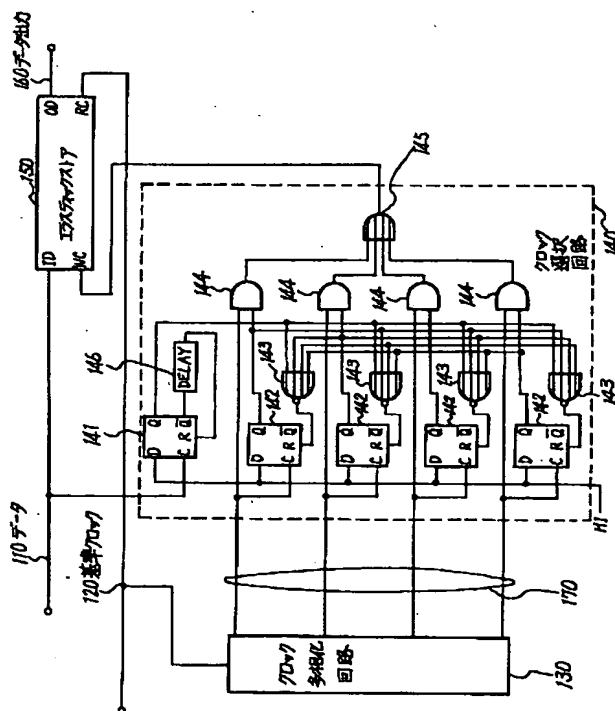
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 ビット同期回路

(57)【要約】

【目的】 PDS構成を用いた光加入者伝送システムにおけるバースト信号の高速ビット同期。

【構成】 本発明のビット同期回路は、基準クロックを入力とするクロック多相化回路130と、多相クロック170とデータ110とを入力とするクロック選択回路140と、データ110とクロック選択回路140の出力と基準クロック120を入力とするエラスティックストア150より構成される。上記クロック選択回路140は、DFF141と、DFF141の出力とするDFF141と、NOR143と、DFF142と、クロック170のひとつとそれを入力とするDFF142の出力とを入力とするAND144と、全てのAND144の出力を入力とするOR145より構成される。



1

【特許請求の範囲】

【請求項1】 基準クロックを入力とし、異なった位相を持ったN個の複数クロック信号を出力するクロック多相化回路と、

前記N個の複数クロック信号と受信データとを入力とするクロック選択回路と、前記クロック選択回路の出力を書き込みクロックとして受信データを書き込み、基準クロックを読み出しクロックとしてデータを出力するエラスティックストア（メモリ）を有するバースト信号ビット同期回路において、

上記クロック選択回路が、

前記複数クロック信号の第i番目（iはからNまでの整数）のクロック信号をクロック入力とし、第iのNOR回路の出力をリセット入力とし、データ入力を所定の値に固定した第iのDFF回路と、

受信データをクロック入力とし、遅延素子の出力をリセット入力とし、データ入力をハイレベル固定とする第N+1のDFF回路と、

前記第N+1のDFF回路の出力を入力とする前記遅延素子と、

前記第1からN+1のDFF回路のうち第i番目のDFF回路以外のDFF回路の正転出力を入力とする第iのNOR回路と、

前記複数クロックの第i番目のクロック信号と前記第iのDFF回路の正転出力を入力とする第iのAND回路と、

前記第1から第NのN個のAND回路の出力を入力とし前記エラスティックストアへ出力するOR回路を有することを特徴とするビット同期回路。

【請求項2】 前記基準クロックを、位相比較器、ループフィルタおよび電圧制御発振器から構成される位相同期発振器で発生し、前記位相比較器の入力信号として前記入力データと前記書き込みクロックを使用することを特徴とする請求項1記載のビット同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ビット同期回路に関し、特にバースト信号のビット同期回路に関する。

【0002】

【従来の技術】従来、この種のビット同期回路は、例えば「電子情報通信学会技術研究報告CS92-3、1992、5、28」や、「1991年電子情報通信学会秋期大会B-601、602」で示されるように、PDS（パッシブダブルスターPassive Double Star）構成の光加入者線伝送システムにおいて、各加入者ごとに位相の異なって受信されるバースト信号に対しての同期ひきこみを目的として用いられている。

【0003】図2は従来のビット同期回路の一例を示すブロック図である。図2はクロックを4相とした場合を示している。図2記載のビット同期回路は、システムク

2

ロック220を入力とする分周回路230と、分周回路230の出力およびシステムクロック220を入力とするクロック多相化回路240、クロック多相化回路240の出力である多相クロック170とデータ110を入力とするクロック選択回路250、クロック選択回路250の出力を入力とする遅延素子260、データ110と遅延素子260の出力と分周回路230の出力とを入力とするエラスティックストア150とから構成される。

10 【0004】上記、クロック選択回路250は、多相クロック170とアップダウンカウンタ252の出力を入力とするセレクタ251、データ110をクロック入力とし、セレクタ251の出力をアップダウン制御信号とするアップダウンカウンタ252から構成されている。

【0005】図3（a）および（b）は、クロック多相化回路の構成例を示すブロック図である。クロック多相化回路130は、基準クロック120を初段の入力とした遅延素子131の縦続接続により構成される。

【0006】クロック多相化回路204は、Dタイプフリップフロップ（DFF）242の縦続接続により構成される。DFF242のうち半数はシステムクロック220をクロック入力とし、半数はシステムクロック220をクロック入力とし、半数はシステムクロック220をインバータ241で反転したものをクロック入力とする。この場合、クロックの多相化数をN、基準クロックの周期をTとすると、システムクロックは $2T/N$ の周期のものが必要となる。図4は各クロックとデータの関係を示した波形図である。多相化クロック170は T/N 毎の位相差をもっていることが望ましい。

30 【0007】次に、図4を用いて、図2の回路を説明する。データ着信前アップダウンカウンタ252はカウント値0を出力し、これにより多相クロック170は位相1が選ばれているとする。データ110は図4のタイミングで変化し、アップダウンカウンタ252は、アップダウン制御信号がHIレベルであるとき、カウント値を戻し、LOレベルであるときカウント値を進めるものとする。

【0008】データ110が着信し、アップダウンカウンタ252のクロック入力立ち上がる。いま、セレクタ251は位相1のクロックを出力しているので、この時のカウンタ252のアップダウン制御信号はLOであるのでカウンタ252は、カウント値を進め、それによりセレクタ251は位相2のクロックを出力する。次にデータが立ち上がると、この時もクロックはLOであるから、同様にカウンタ252はカウント値を進め、それによりセレクタ251は位相3のクロックを出力する。次にクロックが立ち上がると、この時クロックはHIであるから、今度はカウンタ252はカウント値を戻し、セレクタ251は位相2のクロックを出力する。この様にカウンタ252は、データが立ち上がった時の、セレ

3

クタ251で選ばれているクロックのハイ、ローを評価し、データの立ち上がりクロックの立ち下がり一致するように制御をかける。図4の場合には、位相2のクロックと位相3のクロックがデータの立ち上がり毎に交互に選ばれる。

【0009】この選択されたクロックは遅延回路260で内部遅延の適正化を図られ、エラスティックストア150の書き込みクロックとなる。エラスティックストア150は分周回路230の出力であるクロック270を読み出しクロックとしてデータ160を出力する。

【0010】

【発明が解決しようとする課題】しかしながら、上述した従来のビット同期回路には、多相化したクロックの選択制御手段としてカウンタを用いているため、同期引き込みまでに何回かの立ち上がり（通常データの頭に1、0の交番のビット列を加える。これをブリアンプルビットという）を必要とし、同期引き込みまでの時間が長いという問題がある。

【0011】本発明の目的は上述した欠点を除去したビット同期回路を提供することにある。

【0012】

【課題を解決するための手段】上述の欠点を除去するために、本発明のビット同期回路は、基準クロックを入力としN個の異なる位相を持った複数クロック信号を出力するクロック多相化回路と、前記N個の複数クロック信号と受信データとを入力とするクロック選択回路と、前記クロック選択回路の出力を書き込みクロックとして受信データを書き込み、基準クロックを読み出しクロックとしてデータを出力するエラスティックストア（メモリ）を有し、上記クロック選択回路が、前記複数クロック信号の第i番目（iはからNまでの整数）のクロック信号をクロック入力とし、第iのNOR回路の出力をリセット入力とし、データ入力を所定の値に固定した第iのDFF回路と、受信データをクロック入力とし、遅延素子の出力をリセット入力とし、データ入力をハイレベル固定とする第N+1のDFF回路と、前記第N+1のDFF回路の出力を入力とする前記遅延素子と、前記第1からN+1のDFF回路のうち第i番目のDFF回路以外のDFF回路の正転出力を入力とする第iのNOR回路と、前記複数クロックの第i番目のクロック信号と前記第iのDFF回路の正転出力を入力とする第iのAND回路と、前記第1から第NのN個のAND回路の出力を入力とし前記エラスティックストアへ出力するOR回路を有している。

【0013】

【実施例】次に本発明について、図面を参照して説明する。図1は、本発明の第一の実施例を示すブロック図である。クロックを4相とした場合を示している。

【0014】本発明のビット同期回路は、基準クロック120を入力とするクロック多相化回路130、クロッ

4

ク多相化回路130の出力である多相クロック170とデータ110を入力とするクロック選択回路140、データ110とクロック選択回路140の出力と基準クロック120を入力とするエラスティックストア150より構成されている。

【0015】クロック選択回路140は、DFF141、DFF142、NOR143、AND144、OR145および遅延素子146により構成されている。DFF141はデータ110をクロック入力、遅延素子146の出力をリセット入力とし、データ入力はハイレベル（HI）に固定されている。遅延素子146は、DFF141の反転出力を入力とし、DFF142、AND144は、多相化されたクロック170の各々に1セットずつ接続されている。NOR143は、DFF141の出力と自分自身の出力をリセット入力としない他の全てのDFF142の出力を入力としている。DFF142は、クロック170をクロック入力、NOR143の出力をリセット入力とし、データ入力はハイレベル（HI）に固定されている。AND144は、クロック170とDFF142の出力を入力し、OR145は、全てのAND144の出力を入力としている。

【0016】次に図1のビット同期回路の動作を説明する。クロック多相化回路130は、基準クロック120を用い、 T/N （Tはクロックの周期、Nは多相数）毎の遅延を持ったN本のクロック170を生成する。クロック選択回路140は、データ110の立ち上がりを見値し、クロック170の中から、データ110を書き込むクロックを選択し出力する。エラスティックストア150は、このクロックを書き込みクロックとしてデータを読み込み、基準クロック120を読みだしクロックとしてデータ160を出力する。

【0017】次に、クロック選択回路140の動作について説明する。データ110が立ち上がるとDFF141は、HIを出力する。このHI出力は遅延素子146の遅延時間だけ続き、その後、ローレベル（LO）となる。DFF141の出力がHIの間、NOR143の出力はLOとなるため、DFF142はリセット状態となり出力はLOである。次にDFF141の出力がLOとなると、DFF142はリセットを解除される。この後、クロック170のどれかが立ち上がると、そのクロックに接続されているDFF142の出力がHIとなり、その他のDFF142にリセットをかけ、それらの出力をLOとする。AND144により、出力がLOとなっているDFF142に接続されているクロック170は出力されない。これにより、クロックが選択される。その後、データ110が立ち上がるたびにこの動作が繰り返される。クロック多相化回路130の代わりにクロック多相化回路240を用いてもよい。

【0018】次に第2の実施例について図面を参照して説明する。図5は本発明の第二の実施例を示すブロック

5

図である。図5はクロックを4相とした場合を示している。

【0019】ビット同期回路100はデータ110とアナログPLL520で生成される基準クロック120を入力とし、インバータ510は、クロック選択回路140の出力クロック530を入力としている。PLL520は、データ110とインバータ510の出力を入力とする位相比較器521と、位相比較器521の出力を入力とするループフィルタ522と、ループフィルタ522の出力と保持信号540を入力とする保持回路523と、保持回路523の出力を入力とするVCO（電圧制御発振器）524から構成されている。クロック選択回路140内の遅延素子146は $T/4$ （ T はデータ周期）にデータのジッタ幅を加えた値に遅延を設定する。

【0020】次に動作について説明する。クロック選択回路140は遅延素子146を上記のように設定したので、データ110が立ち上がってから $T/4 + \alpha$ （ α ：初期位相差 $0 < \alpha \leq T/4$ ）のクロック530を選択する。位相比較器521はインバータ510の出力とデータ110を比較しその位相差の信号を出力する。その後、この信号は、ループフィルタ522により帯域制限サレ、保持回路523に入力する。保持回路523は保持信号540がHIの場合、ループフィルタ522の出力をそのままVCO524に与え、LOの場合、信号540が切り替わった時点のループフィルタ522の出力を保持する。これにより、データ110を受信していない場合に内部周波数が流れるのを防ぐことができる。保持信号540はデータ110を受信している場合HI、受信していない場合LOと設定される（ビット同期回路以降のシステムの制御回路により）。VCO524は保持回路523の出力によりデータ110とインバータ510の出力の位相差をなくすように働く。これにより、データ110に同期した基準クロック120が得られる。この場合、上記 α は $T/4$ となり、データ110はデータの立ち上がりからちょうど半位相ずれたクロックでエラスティックストア150に書き込まれることになる。

【0021】図6は、保持回路523を実現する一回路例を示すブロック図である。

【0022】保持回路523は保持信号540を制御信号とするスイッチ610、フィルタ出力電圧を保持するコンデンサ620から構成されている。

【0023】図7は、同期後のクロックの関係を示す図である。基本的には、位相3のクロックが選択されるが、ジッタが大きいと位相2のクロックが選ばれる可能性がある。このため、前述したように遅延素子146の遅延を

6

$T/4$ + ジッタ幅（ $0 < \text{ジッタ幅} < T/4$ ）に設定している。

【0024】この第二実施例は受信信号に対して、送信信号が周波数同期を要求される場合に用いることができる。

【0025】

【発明の効果】以上、説明したように本発明のビット同期回路はカウンタを用いず、データの立ち上がりを利用し逐次そのデータの書き込み用クロックを生成するため、即時に同期引き込みが可能という効果を有する。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示すブロック図。

【図2】従来の回路を示すブロック図。

【図3】（a）、（b）は、クロック多相化回路の構成例を示すブロック図。

【図4】各クロックとデータの関係を示す波形図。

【図5】第二の実施例を示すブロック図。

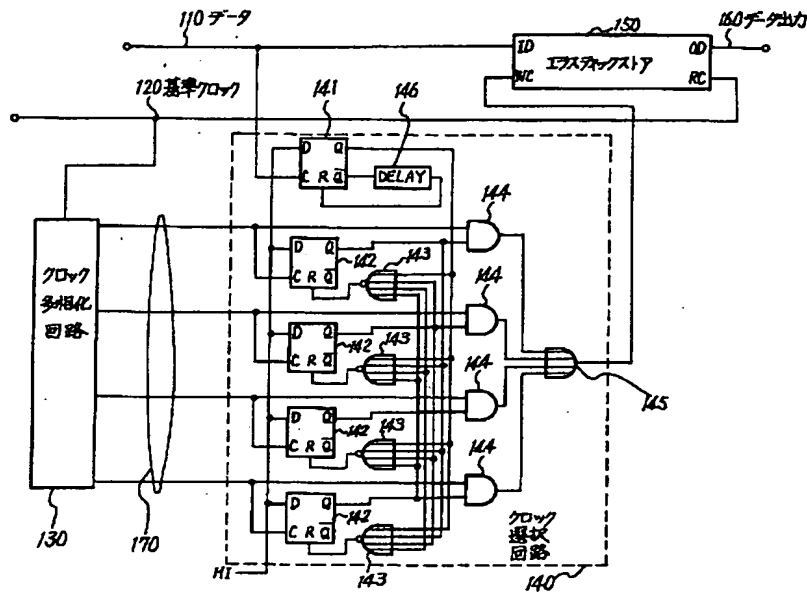
【図6】保持回路の構成例を示すブロック図。

【図7】データと選択される位相の関係を示した図。

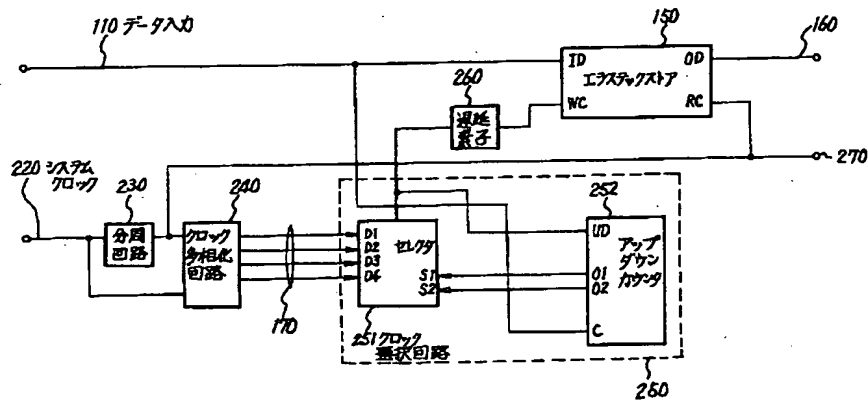
【符号の説明】

100	ビット同期回路
110	データ
120, 270	基準クロック
130, 240	クロック多相化回路
140	クロック選択回路
141, 142, 242	Dフリップフロップ
143	NOR回路
144	AND回路
145	OR回路
146, 131, 260	遅延素子
150	エラスティックストア
160	出力データ
170	多相クロック
220	システムクロック
230	分周回路
250	従来のクロック選択回路
251	セレクタ
252	アップダウンカウンタ
241, 510	インバータ
521	位相比較器
522	ループフィルタ
523	保持回路
524	電圧制御発振器
530	クロック選択回路出力
540	保持信号
610	スイッチ
620	コンデンサ

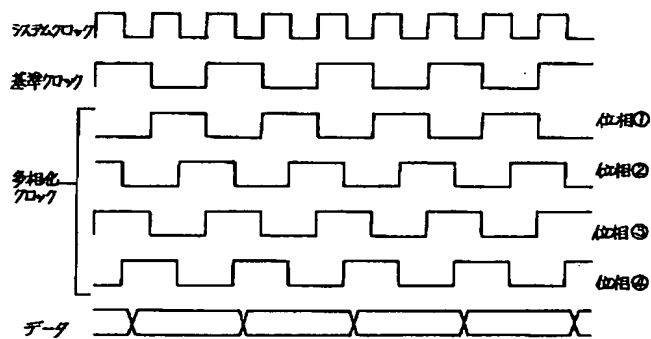
【図1】



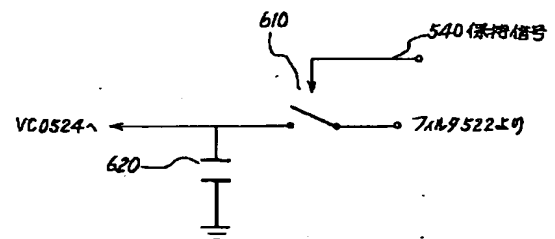
【図2】



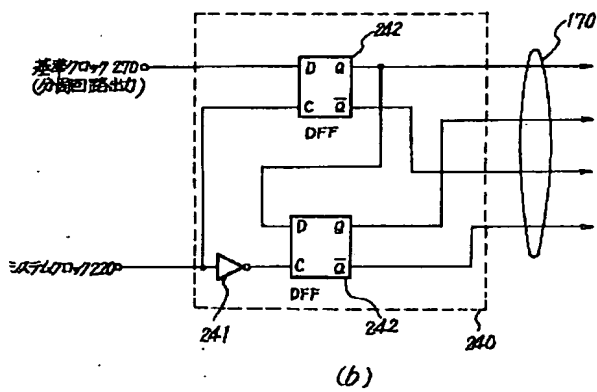
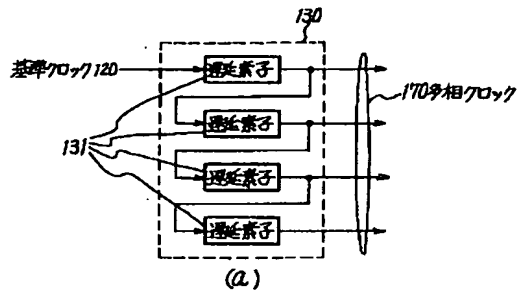
【図4】



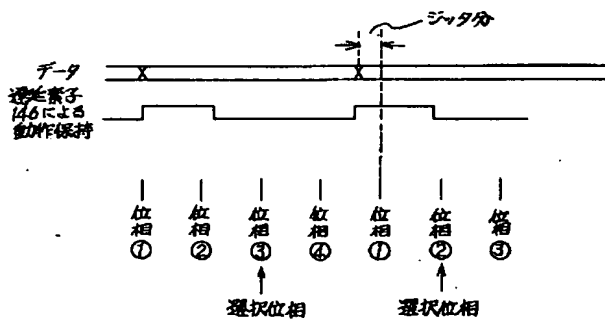
【図6】



【図3】



【図7】



【図5】

